

## **Propuestas de TFM's del Grupo de Diseño en Electrónica Digital (GDED) para el alumnado del máster KISA**

### *Para estudiantes SIN formación/experiencia en ingeniería electrónica y diseño digital*

#### **GDED\_1 “Métodos basados en la extracción de características en el dominio cepstral para el reconocimiento de imágenes: reconocimiento de señales de tráfico”**

Objetivo: utilizar métodos de extracción de características en el dominio cepstral y distintos clasificadores supervisados para mejorar los resultados obtenidos mediante técnicas clásicas en el reconocimiento de señales de tráfico.

Breve descripción: los coeficientes cepstrales se han utilizado con éxito en el campo del reconocimiento del habla y del locutor, sin embargo, su uso en el reconocimiento de imágenes está aún poco extendido. Las principales características del dominio cepstral para la aplicación que se propone son: robustez frente a imágenes borrosas, imágenes desplazadas y/o giradas (se planteará su uso en coordenadas polares).

Por otra parte, el reconocimiento de señales de tráfico para el diseño de sistemas avanzados de ayuda a la conducción (ADAS) y conducción semi-autónoma requiere un reconocedor de altas prestaciones capaz de distinguir las señales incluso en condiciones adversas (iluminación, meteorología adversa, señales dañadas, etc.). Se propone estudiar el problema desde el punto de vista teórico y práctico (mediante simulación) con el fin de desarrollar una aplicación concreta, por ejemplo, el reconocimiento de señales de límite de velocidad que podría utilizarse para advertir al conductor o para el ajuste automático de un sistema de crucero adaptativo (ACC).

Conocimientos necesarios: procesamiento de imagen y señal, extracción de características en el dominio de la frecuencia, minería de datos (clasificadores supervisados), experiencia en simulación (Matlab, R, etc.).

Directora del trabajo: Inés del Campo Hagelström. Facultad de Ciencia y Tecnología.

#### **GDED\_2 “Exploración de alternativas computacionalmente eficientes a la convolución para la optimización del procesamiento de RNAs en chip (SoC) para visión embebida”.**

Actualmente, muchos de los más avanzados sistemas de inteligencia computacional para procesamiento de imágenes utilizan redes profundas de convolución (*deep CNN*) que constan de múltiples capas en cascada de convolución espacial y *pooling*. Si bien estos sistemas han demostrado una gran eficiencia en la identificación de objetos, la extracción en cascada de características jerárquicas por convolución representa un problema desde el punto de vista del rendimiento del procesador en aplicaciones de visión embebida. En este trabajo se propone explorar algunas técnicas alternativas a la convolución para la extracción de características en el



UPV EHU



procesamiento de imágenes. En particular se estudiarán técnicas de álgebra lineal basadas en SVD (Singular Value Decomposition), que eventualmente den como resultado equivalente arquitecturas de RNAs más superficiales (shallow ANNs) y computacionalmente más eficientes, sin pérdida significativa de eficiencia con respecto a las versiones “deep”.

Director del trabajo: Koldo Basterretxea. Escuela de Ingeniería de Bilbao

### **GDED\_3 “Estudio y aplicación de técnicas de optimización paramétrica y metaparamétrica para la simplificación computacional de redes neuronales artificiales (RNAs) con entrenamiento semialeatorio”**

El grupo GDED ha desarrollado un coprocesador de alto rendimiento para aplicaciones de “machine learning at the edge”, es decir, aplicaciones que requieren de la ejecución en tiempo real de algoritmos de tipo RNA en plataformas embebidas con restricciones de área y consumo. Con el objetivo de optimizar aún más la eficiencia computacional de este coprocesador, se propone estudiar la manera de incorporar diversas técnicas de optimización paramétrica (optimización del conjunto de parámetros de la red y de su representación numérica) y metaparamétrica (optimización de los metaparámetros de la red, es decir, número de capas, podado de interconexiones neuronales, número de neuronas por capa etc.) en la fase de mapeo de los modelos de RNA originales a su versión embebida (coprocesador neuronal). Se prestará especial atención, aunque no necesariamente de forma exclusiva, a las RNAs con entrenamiento semialeatorio (RVFLs y ELMs).

Director del trabajo: Koldo Basterretxea. Escuela de Ingeniería de Bilbao

### **[Para estudiantes CON formación/experiencia en ingeniería electrónica y diseño digital](#)**

### **GDED\_4 “Desarrollo de un SoPC (System on Programmable Chip) en FPGA basado en procesadores ARM Cortex-M0 y coprocesadores neuronales para aplicaciones IoT de bajo consumo”.**

El grupo GDED ha desarrollado un núcleo IP para el procesamiento de alto rendimiento en aplicaciones de “machine learning at the edge”, es decir, aplicaciones que requieren de la ejecución en tiempo real de algoritmos de tipo RNA en plataformas embebidas con restricciones de área y consumo. Las interfaces de este núcleo coprocesador han sido diseñadas para facilitar su integración en arquitecturas SoC utilizando bus AXI4 (AMBA4), que es un estándar de facto para la comunicación entre módulos en la mayoría de los SoCs basados en procesadores ARM y también en el diseño de sistemas heterogéneos utilizando FPGAs de Xilinx. De hecho, el grupo GDED ha desarrollado algunos SoPCs para diversas aplicaciones de alto rendimiento utilizando este núcleo IP de procesamiento neuronal.

Por otro lado, ARM recientemente ha abierto algunos de sus procesadores Cortex-M de más bajo consumo, como los Cortex-M0 y M3, para facilitar la experimentación y desarrollo de SoCs para aplicaciones de IoT basados en estos procesadores. Aprovechando esta circunstancia, sería interesante desarrollar un SoPC para aplicaciones de inteligencia computacional en IoT combinando el Cortex-M0 con el coprocesador neuronal diseñado por el GDED. Par ello, sin embargo, es necesario explorar qué modificaciones son necesarias para adecuar la



UPV EHU



comunicación entre los distintos módulos de la arquitectura actual, basada en bus AXI4, ya que los Cortex-M0 y M3 se comunican mediante el protocolo AHB/APB (AMBA3). En este trabajo se propone explorar la manera de realizar estas adaptaciones, ya sea utilizando IPs de ARM que permitan substituir algunos de los IPs AXI de Xilinx actualmente utilizados en el SoPC ya desarrollado y/o utilizando puentes AXI2APB de Xilinx para enlazar los IPs actuales con el CortexM0/M3. El sistema resultante se aplicaría al desarrollo de un SoPC de procesamiento neuronal sobre FPGA para un caso real de IoT.

Director del trabajo: Koldo Basterretxea. Escuela de Ingeniería de Bilbao

### **GDED\_5 “Desarrollo de un SoPC (System on Programmable Chip) básico para la adquisición y procesamiento de imágenes multiespectrales con interface GigEthernet (GigE Vision)”**

En este trabajo se propone desarrollar la interface necesaria para la comunicación de una cámara multiespectral de tipo one-shot con comunicación GigEthernet (GigE Vision) con un SoPC en FPGA para el procesamiento neuronal de imágenes multiespectrales. El SoPC, en su versión actual, consta de un coprocesador neuronal escalable de alto rendimiento, pero realiza el acceso a los datos multiespectrales de las imágenes almacenadas en memoria DDR externa a través de una DMA. Se trata de modificar el diseño actual para posibilitar la comunicación directa de la cámara con la FPGA a través del puerto Ethernet y realizar el posterior proceso de “demosaiicing” de las imágenes en chip como paso previo a su procesamiento en el coprocesador neuronal.

Director del trabajo: Koldo Basterretxea. Escuela de Ingeniería de Bilbao