

POS-D40

*PD en Sistemas Electrónicos Avanzados***TOLERANCIA A FALLOS EN SISTEMAS BASADOS EN FPGAS CON PROCESADORES SOFT-CORE**

Julen Gomez-Cornejo, Aitzol Zuloaga, Igor Villalta, Jesús Lázaro

EHU / UPV

La utilización de las FPGAs (Field Programmable Gate Array) en sistemas electrónicos se encuentra en continua expansión. Gracias a su flexibilidad y su bajo costo, son dispositivos cada vez más utilizados en campos tan dispares, como la electrónica de consumo, el transporte ferroviario, la aeronáutica o la automoción. Una de las características que contribuyen a que las FPGAs sean una excelente plataforma para la implementación de complejos sistemas electrónicos es su capacidad reconfigurarse parcialmente de forma dinámica. Lo que permite modificar una parte del circuito configurado de la FPGA mientras el resto del circuito continúa funcionando inalterado. Pudiendo así cargar diferentes diseños parciales lo que otorga a los diseños gran versatilidad, ahorro de espacio y energía. Uno de los mayores problemas que surgen al usar dispositivos basados en tecnología SDRAM como las FPGAs, es su susceptibilidad a los efectos producidos por partículas energéticas provenientes de la radiación cósmica. Estos efectos provocan errores a nivel de bit, que pueden producir desde fallos despreciables hasta fallos realmente graves, algo especialmente crítico en aplicaciones en donde se ponen en peligro vidas humanas. Por ello, el concepto de tolerancia a fallos toma especial relevancia a la hora de diseñar sistemas basados en esta tecnología. La mayor parte de las técnicas utilizadas a la hora de asegurar la confiabilidad de los sistemas susceptibles están basadas en la redundancia de software y/o hardware. Este trabajo se centra en el estudio, análisis y mejora de técnicas de redundancia hardware para sistemas basados en FPGAs. Prestando especial atención en mejorar la tolerancia a fallos de procesadores soft-core, por ser uno de los elementos clave en los sistemas digitales de cierta entidad. El trabajo también se centra en abordar la problemática de la sincronización de los procesadores soft-core reparados y reconfigurados tras un fallo, en esquemas de redundancia hardware.