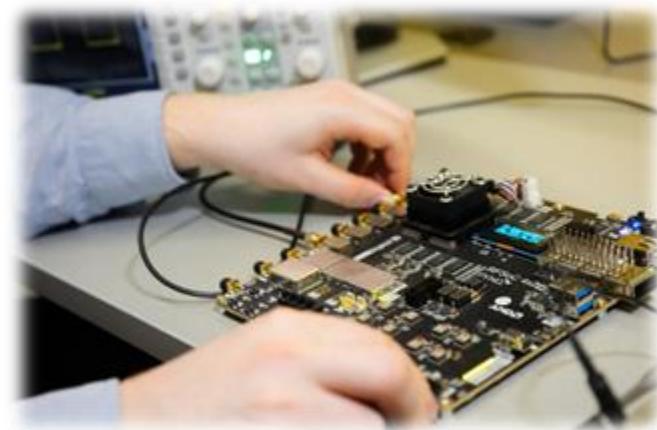
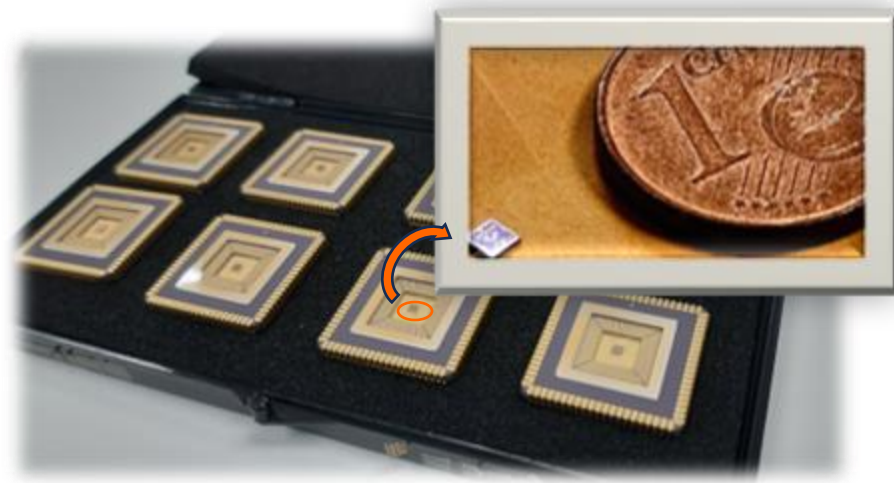


AULA CHIP 2026-27



Título

- Optimización de IP neuromórfica para despliegue en ASIC: diseño orientado a PPA desde FPGA a silicio
- Desarrollo de un sistema integrado de procesamiento en SoC basado en SNN para algoritmos de visión por eventos
- Diseño de un ASIC Europeo empleando con funcionalidades de Sincronización con precisión de Sub-microsegundo empleando herramientas y PDK de Código Abierto
- Prototipado de un dispositivo SoC con comunicaciones cuánticamente seguras para el establecimiento de conexiones MACSEC entre nodos de comunicación
- Diseño de un mecanismo de mapeo de parámetros de calidad de servicio (QoS) entre redes cableadas deterministas TSN y redes inalámbricas 5G implementable dispositivos semiconductores SoC Gateways
- Diseño de un dispositivo SoC para el procesamiento de datos proporcionados por sensores de fibra óptica a través un chip óptico experimental (TFG)
- Diseño de una placa electrónica para la validación de un chip óptico experimental para sensores de fibra óptica (TFG)
- Diseño de una placas electrónicas para la validación de un chip experimentales "bare metal"
- Diseño de un dispositivo SOC basado en una CPU RISC-V de 32 bit para el control de servos
- Diseño y puesta en marcha de una infraestructura de IA Local para la aceleración de la etapa de verificación en el diseño de dispositivos semiconductores
- Desarrollo de un set-up de validación de prototipos de dispositivos SoCs para comunicaciones
- Desarrollo del software embebido para configuración de dispositivos SoCs para comunicaciones (TFG)
- Evaluación de PDKs para diseño de semiconductores en nodos avanzados de fabricación utilizando herramientas Open Source

Hoja de Inscripción AULA CHIP 2026/27

Enviar la solicitud cumplimentada a: soc4sensing@ehu.eus



Nombre y Apellidos	
Email	
Titulación	
Curso en 2026/27	
Créditos matriculados 2026/27	
Proyecto de interés 1	
Proyecto de interés 2	
Proyecto de interés 3	

